

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-087490

(43)Date of publication of application : 30.03.1999

(51)Int.Cl.

H01L 21/76  
H01L 29/78  
// H01L 21/316  
H01L 21/318

(21)Application number : 09-302082

(71)Applicant : SONY CORP

(22)Date of filing : 04.11.1997

(72)Inventor : TAKAHASHI TAKESHI

(30)Priority

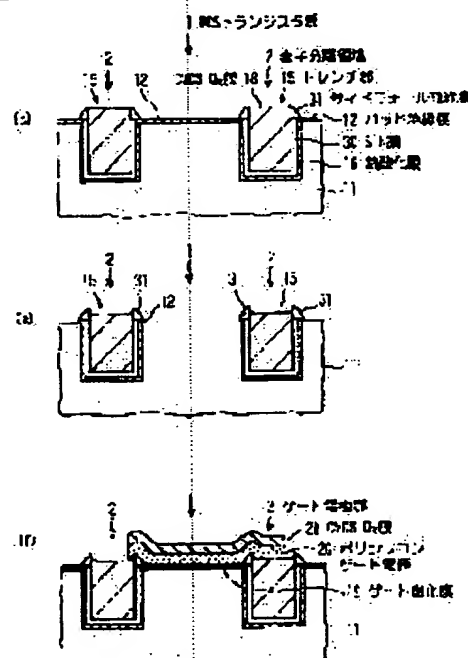
Priority number : 09188190 Priority date : 14.07.1997 Priority country : JP

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device for preventing the abnormality of a MOS transistor due to, for example, an inverse narrow channel effect and a kink phenomenon caused by the structure of a trench-type element isolating region, and its manufacturing method.

**SOLUTION:** The upper surface position of a CVDSiO<sub>2</sub> film 18 that is filled into a trench part 15 where a thermal oxide film 16 and an SiN film 30 are formed is set upward from the surface position of a semiconductor substrate 11, a sidewall insulation film 31 is formed on the sidewall of a CVDSiO<sub>2</sub> film 18, and then a pad insulation film 12 is etched. After that, a gate oxide film 19, a polysilicon film where an impurity is doped and the CVDSiO<sub>2</sub> film are formed, and the gate oxide film 19, the polysilicon film, and the CVDSiO<sub>2</sub> film are subjected to patterning, thus forming a gate electrode part 3 that is constituted of the gate oxide film 19, a polysilicon gate electrode 20, and a CVDSiO<sub>2</sub> film 21 on the polysilicon gate electrode 20 is formed.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-87490

(43) 公開日 平成11年(1999) 3月30日

(51) Int.Cl.<sup>6</sup>  
H 0 1 L 21/76  
29/78  
// H 0 1 L 21/316  
21/318

識別記号

F I  
H 0 1 L 21/76 L  
21/316 X  
21/318 B  
29/78 3 0 1 R

審査請求 未請求 請求項の数16 O L (全 10 頁)

(21) 出願番号 特願平9-302082  
(22) 出願日 平成9年(1997)11月4日  
(31) 優先権主張番号 特願平9-188190  
(32) 優先日 平9(1997)7月14日  
(33) 優先権主張国 日本 (J P)

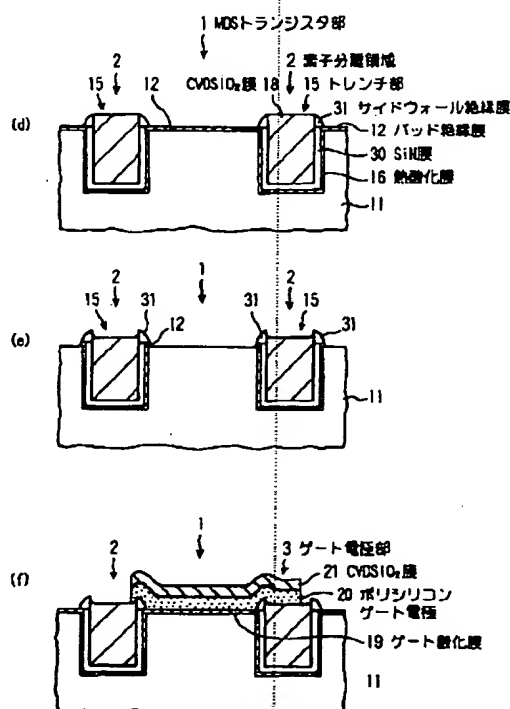
(71) 出願人 000002185  
ソニー株式会社  
東京都品川区北品川6丁目7番35号  
(72) 発明者 高橋 剛  
東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 トレンチ型素子分離領域の構造に起因した、逆狭チャネル効果やキンク (kink) 現象等によるM O Sトランジスタの異常特性の発生を防止した半導体装置およびその製造方法を提供する。

【解決手段】 熱酸化膜16やSiN膜30の形成されたトレンチ部15内に充填するCVDSiO<sub>2</sub>膜18の上面位置を半導体基板11表面位置より上方にし、CVDSiO<sub>2</sub>膜18の側壁にサイドウォール絶縁膜31を形成した後、パッド絶縁膜12をエッチングし、その後ゲート酸化膜19、不純物のドーパされたポリシリコン膜およびCVDSiO<sub>2</sub>膜を形成した後、これらゲート酸化膜19、ポリシリコン膜およびCVDSiO<sub>2</sub>膜をパターニングして、ゲート酸化膜19とポリシリコンゲート電極20とポリシリコンゲート電極20上のCVD SiO<sub>2</sub>膜21とで構成されるゲート電極部3を形成する。



(2)

## 【特許請求の範囲】

【請求項1】 トレンチ型の素子分離領域を有する高集積化した半導体装置において、

前記素子分離領域のトレンチ部の内壁に形成された第1の絶縁膜と、

前記第1の絶縁膜上に形成された第2の絶縁膜と、

前記第1の絶縁膜および前記第2の絶縁膜の形成された前記トレンチ部に充填する絶縁膜で、前記絶縁膜の上部位置が半導体基板表面位置より上方にあり、前記絶縁膜の側壁は略垂直である第3の絶縁膜と、

前記第3の絶縁膜の側壁に形成された、底部の端部が素子領域に達するサイドウォール絶縁膜とを有することを特徴とする半導体装置。

【請求項2】 トレンチ型の素子分離領域を有する高集積化した半導体装置において、

前記素子分離領域のトレンチ部内を充填し、側壁上部位置が前記トレンチ部が形成された半導体基板表面位置より高く、前記側壁は略垂直である絶縁膜と、

前記絶縁膜の側壁に形成されたサイドウォール絶縁膜とを有することを特徴とする半導体装置。

【請求項3】 前記第1の絶縁膜は、熱酸化膜であることを特徴とする、請求項1に記載の半導体装置。

【請求項4】 前記第2の絶縁膜は、SiN膜であることを特徴とする、請求項1に記載の半導体装置。

【請求項5】 前記第3の絶縁膜は、CVDSiO<sub>2</sub>膜であることを特徴とする、請求項1に記載の半導体装置。

【請求項6】 前記サイドウォール絶縁膜は、SiN膜であることを特徴とする、請求項1又は請求項2に記載の半導体装置。

【請求項7】 前記絶縁膜は、CVDSiO<sub>2</sub>膜であることを特徴とする、請求項2に記載の半導体装置。

【請求項8】 トレンチ型の素子分離領域を有する高集積化した半導体装置の製造方法において、

半導体基板上に酸化膜を形成する工程と、

前記酸化膜上にストッパ膜を形成する工程と、

前記ストッパ膜、前記酸化膜および前記半導体基板をエッチングして、素子分離領域となるトレンチ部を形成する工程と、

前記トレンチ部の前記半導体基板表面に、第1の絶縁膜を形成する工程と、

第2の絶縁膜を堆積する工程と、

前記第2の絶縁膜上に第3の絶縁膜を堆積し、前記第1の絶縁膜および前記第2の絶縁膜を形成した前記トレンチ部を前記第3の絶縁膜で充填する工程と、

前記第3の絶縁膜を、前記ストッパ膜をストッパとして研磨する工程と、

前記ストッパ膜および前記ストッパ膜と接する部分の前記第2の絶縁膜を除去する工程と、

絶縁膜を堆積した後、エッチバックして、前記第3の絶

縁膜の側壁にサイドウォール絶縁膜を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項9】 トレンチ型の素子分離領域を有する高集積化した半導体装置の製造方法において、

半導体基板上に酸化膜を形成する工程と、

前記酸化膜上にストッパ膜を形成する工程と、

前記ストッパ膜、前記酸化膜および前記半導体基板をエッチングして、素子分離領域となるトレンチ部を形成する工程と、

10 前記トレンチ部に充填する絶縁膜を堆積する工程と、

前記絶縁膜を、前記ストッパ膜をストッパとして研磨する工程と、

前記ストッパ膜を除去する工程と、

絶縁膜を堆積した後、エッチバックして、前記トレンチ部に充填した前記絶縁膜の側壁にサイドウォール絶縁膜を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項10】 前記酸化膜は、熱酸化膜および高温CVD SiO<sub>2</sub>膜であることを特徴とする、請求項8に記載の半導体装置の製造方法。

【請求項11】 前記ストッパ膜は、SiN膜であることを特徴とする、請求項8に記載の半導体装置の製造方法。

【請求項12】 前記第1の絶縁膜は、熱酸化膜であることを特徴とする、請求項8に記載の半導体装置の製造方法。

【請求項13】 前記第2の絶縁膜は、SiN膜であることを特徴とする、請求項8に記載の半導体装置の製造方法。

【請求項14】 前記第3の絶縁膜は、CVDSiO<sub>2</sub>膜であることを特徴とする、請求項8に記載の半導体装置の製造方法。

【請求項15】 前記サイドウォール絶縁膜は、SiN膜であることを特徴とする、請求項8又は請求項9に記載の半導体装置の製造方法。

【請求項16】 前記トレンチ部に充填した前記絶縁膜は、CVDSiO<sub>2</sub>膜であることを特徴とする、請求項9に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置およびその製造方法に関し、さらに詳しくは、トレンチ型素子分離領域に特徴を有する半導体装置およびその製造方法に関する。

【0002】

【従来の技術】半導体基板上に形成された半導体装置の各構成素子を電気的に分離する、素子間分離技術として、PN接合分離と誘電体分離とがある。後者の誘電体分離で、一般に広く使用されている素子間分離技術には、LOCOS (Local Oxidation of S

50

(3)

3

ilicon) 法による素子間分離技術と、溝埋め込み分離 (トレンチアイソレーション) 技術とがある。LOCOS法による素子間分離にはバースピークや、半導体基板表面のストレスの問題があり、LOCOS法による素子間分離の改良型が種々創案されている。しかし、高集積化された半導体装置に使用する、幅の狭い素子間分離領域への適応が難しい。一方、トレンチアイソレーション法はバースピークが無く、しかも設計通りの寸法で素子領域が形成できるため、高集積化された半導体装置における素子間分離法として使用されるようになってきた。

【0003】また、近年の半導体装置の高集積化に伴い、半導体装置の構成素子である、例えばMOSトランジスタはクォータミクロン以下の設計寸法ルールで形成されるようになってきている。この様な微細な設計寸法ルールで形成されるMOSトランジスタにおいても、MOSトランジスタの特性、例えばしきい値電圧、ソースとドレイン間耐圧、ゲート電圧に対するドレイン電流等の特性に対する要求性能を満足しなければならず、その為高度に制御されたプロセスの開発や、MOSトランジスタ自体の構造上の開発等がなされている。

【0004】ここでは、従来のトレンチ型素子分離領域を有する、高集積化した半導体装置およびその製造方法の例を、図5～図7を参照して説明する。ここで、図5および図6は、半導体装置のMOSトランジスタ部1におけるゲート電極幅方向の概略断面図を示したものであり、図7は図6(e)のP部の拡大図である。まず、図5(a)に示すように、半導体基板11上に薄い絶縁膜、所謂パッド絶縁膜12を、熱酸化等により形成した後、研磨ストップ膜としてのSiN膜13と、研磨時の終点検出を容易にするポリシリコン膜14とを、それぞれ減圧CVD法により堆積する。次に、フォトリソグラフィ技術を用いて、MOSトランジスタ部1の素子分離領域2のポリシリコン膜14/SiN膜13/パッド絶縁膜12をパターンニングし、続いて半導体基板11をエッチングし、半導体基板11の素子分離用溝 (トレンチ) を形成することで、トレンチ部15を形成する。

【0005】次に、図5(b)に示すように、熱酸化によりトレンチ部15の内壁部に薄い熱酸化膜16を形成する。なおこの際、ポリシリコン膜14表面にも熱酸化膜17が形成される。その後、減圧CVD法によりCVDSiO<sub>2</sub>膜18を堆積し、トレンチ部15をCVDSiO<sub>2</sub>膜17で充たす。

【0006】次に、図5(c)に示すように、CVDSiO<sub>2</sub>膜18等を、例えばCMP (Chemical Mechanical Polishing) 法等を用いて研磨し、平坦化する。この際、CMP法による研磨は、ポリシリコン膜14が研磨され、SiN膜13に達する時点で終了させる。上述したCMP法による研磨を行うことで、トレンチ部15にはCVDSiO<sub>2</sub>膜18

4

が埋め込まれる。

【0007】次に、図6(d)に示すように、SiN膜13をウェットエッチング法により除去し、続いてウェットエッチング法によりパッド絶縁膜12を除去する。次に、後述するMOSトランジスタ部1のゲート酸化膜を形成するための、洗浄処理工程を行う。なお、この洗浄処理工程においては、通常酸化膜がエッチングされるフッ素系溶液による処理も含まれている。上述したパッド絶縁膜12のウェットエッチング工程と洗浄処理工程を行うことで、トレンチ部15におけるCVDSiO<sub>2</sub>膜18は、上面部と側壁部よりエッチングされて、図6(d)に示すような形状となる。即ちCVDSiO<sub>2</sub>膜18の上面部と側壁部とからのエッチングが進んで、トレンチ部15側壁の上部の熱酸化膜16がエッチングされ、トレンチ部15側壁の上部においては、トレンチ部15側壁上部の半導体基板11表面が露呈した状態となる。

【0008】次に、図6(e)に示すように、熱酸化法によりゲート酸化膜19を形成し、その後、後述するゲート電極とするポリシリコン膜を減圧CVD法で堆積し、続いて不純物をポリシリコン膜に拡散してポリシリコン膜を低抵抗化し、その後CVD法によりCVDSiO<sub>2</sub>膜を堆積する。次に、フォトリソグラフィ技術を用いて、CVDSiO<sub>2</sub>膜/ポリシリコン膜/ゲート酸化膜19をパターンニングして、ゲート酸化膜19とポリシリコンゲート電極20とポリシリコンゲート電極20上のCVDSiO<sub>2</sub>膜21による、MOSトランジスタ部1のゲート電極部3を形成する。

【0009】その後は、図面は省略するが、常法に準ずる製法により、LDD (Lightly Doped Drain) 形成、サイドウォール絶縁膜形成、ソース・ドレイン形成、層間絶縁膜形成、コンタクトホール形成、配線形成、パッシベーション膜形成等を行って、半導体装置を作製する。

【0010】しかしながら、上述した半導体装置およびその製造方法においては、MOSトランジスタ部1の所望のMOSトランジスタ特性が得られないという問題が発生する虞がある。これは、MOSトランジスタ部1のMOSトランジスタのチャネル幅方向の端部、即ち図6(e)のP部やQ部における構造に起因するものである。このP部やQ部の詳細構造のうち、例えばQ部の詳細構造は、図7に示すようになっていて、図7に示すように、Q部においては、半導体基板11のトレンチ部15側壁の上部を取り囲むような状態で、ゲート酸化膜19とポリシリコンゲート電極20とが形成されているために、MOSトランジスタのチャネル幅が設計上のチャネル幅より長くなるだけでなく、ポリシリコンゲート電極20で取り囲む状態となったA部においては、電界が強くなって、この部分のMOSトランジスタのしきい値電圧が設計上のしきい値電圧より小さくなる、所謂MO

(4)

5

Sトランジスタの逆狭チャネル効果が発生したり、またドレイン電圧に対するドレイン電流特性にキンク(kink)現象といわれる異常特性が現れる。上述したMOSトランジスタ特性の逆狭チャネル効果やキンク現象の発生は、特に高集積化した半導体装置において問題となる虞がある。

【0011】

【発明が解決しようとする課題】上記従来のトレンチ型の素子分離領域を有する高集積化した半導体装置における、MOSトランジスタ部のトレンチ型素子分離領域の構造は、MOSトランジスタの特性として不都合な、逆狭チャネル効果やキンク現象等の異常特性を発生させる虞があるという問題がある。本発明は、上記事情を考慮してなされたものであり、その目的は、トレンチ型素子分離領域の構造に起因した、逆狭チャネル効果やキンク現象等によるMOSトランジスタの異常特性の発生を防止した半導体装置およびその製造方法を提供することにある。

【0012】

【課題を解決するための手段】本発明の半導体装置およびその製造方法は、上述の課題を解決するために提案するものであり、本発明の半導体装置は、トレンチ型の素子分離領域を有する高集積化した半導体装置において、素子分離領域のトレンチ部の内壁に形成された第1の絶縁膜と、第1の絶縁膜上に形成された第2の絶縁膜と、第1の絶縁膜および第2の絶縁膜の形成されたトレンチ部内に充填する絶縁膜で、絶縁膜の上部位置が半導体基板表面位置より上方にあり、絶縁膜の側壁は略垂直である第3の絶縁膜と、第3の絶縁膜の側壁に形成された、底部の端部が素子領域に達するサイドウォール絶縁膜とを有することを特徴とするものである。

【0013】また、本発明の半導体装置は、トレンチ型の素子分離領域を有する高集積化した半導体装置において、素子分離領域のトレンチ部内を充填し、側壁上部位置が半導体基板表面位置より高く、側壁は略垂直である絶縁膜と、絶縁膜の側壁に形成されたサイドウォール絶縁膜とを有することを特徴とするものである。

【0014】更に、本発明の半導体装置の製造方法は、トレンチ型の素子分離領域を有する高集積化した半導体装置の製造方法において、半導体基板上に酸化膜を形成する工程と、酸化膜上にストッパ膜を形成する工程と、ストッパ膜、酸化膜および半導体基板をエッチングして、素子分離領域となるトレンチ部を形成する工程と、トレンチ部の半導体基板表面に、第1の絶縁膜を形成する工程と、第2の絶縁膜を堆積する工程と、第2の絶縁膜上に第3の絶縁膜を堆積し、第1の絶縁膜および第2の絶縁膜を形成したトレンチ部を第3の絶縁膜で充填する工程と、第3の絶縁膜を、ストッパ膜をストッパとして研磨する工程と、ストッパ膜およびストッパ膜と接する部分の第2の絶縁膜を除去する工程と、絶縁膜を堆積

6

した後、エッチバックして、第3の絶縁膜の側壁にサイドウォール絶縁膜を形成する工程とを有することを特徴とするものである。

【0015】また、本発明の半導体装置の製造方法は、トレンチ型の素子分離領域を有する高集積化した半導体装置の製造方法において、半導体基板上に酸化膜を形成する工程と、酸化膜上にストッパ膜を形成する工程と、ストッパ膜、酸化膜および半導体基板をエッチングして、素子分離領域となるトレンチ部を形成する工程と、トレンチ部に充填する絶縁膜を堆積する工程と、絶縁膜を、ストッパ膜をストッパとして研磨する工程と、ストッパ膜を除去する工程と、絶縁膜を堆積した後、エッチバックして、トレンチ部に充填した絶縁膜の側壁にサイドウォール絶縁膜を形成する工程とを有することを特徴とするものである。

【0016】本発明によれば、上述の如き半導体装置およびその製造方法により、半導体基板に形成されたトレンチ側壁の上部の絶縁膜が除去され、MOSトランジスタのチャネル幅方向のゲート酸化膜とゲート電極がトレンチ側壁の上部にまで形成される状態を防止することができ、逆狭チャネル効果やキンク現象等によるMOSトランジスタの異常特性の発生を抑制することができる。従って、所期の特性を有するMOSトランジスタを構成素子として含む、高集積化した半導体装置の作製が可能となる。

【0017】

【発明の実施の形態】以下、本発明の具体的実施の形態例につき、添付図面を参照して説明する。なお従来技術の説明で参照した図5および図6中の構成部分と同様の構成部分には、同一の参照符号を付すものとする。

【0018】実施の形態例1

本実施の形態例はトレンチ型の素子分離領域を有する高集積化した半導体装置およびその製造方法に本発明を適用した例であり、これを図1および図2を参照して説明する。ここで、図1および図2は、半導体装置のMOSトランジスタ部1における、MOSトランジスタのチャネル幅方向の概略断面図を示すものである。まず、図1(a)に示すように、半導体基板11上に絶縁膜、所謂バッド絶縁膜12を熱酸化法、または高温CVD法等により、膜厚約8nm程度形成した後、後述する研磨工程時のストッパとする研磨ストッパ膜、例えば減圧CVD法等によるSiN膜13を膜厚約150nm程度堆積する。その後、減圧CVD法等により、ポリシリコン膜14を膜厚約50nm程度堆積する。

【0019】次に、フォトリソグラフィ技術を用いて、MOSトランジスタ部1の素子分離領域2のポリシリコン膜14/SiN膜13/バッド絶縁膜12をパターンニングし、続いて半導体基板11を、例えば約500nm程度の深さまでエッチングし、半導体基板11の素子分離用溝(トレンチ)を形成することで、トレンチ部15

(5)

7

を形成する。なお、このトレンチ部15をポリシリコン膜14/SiN膜13/パッド絶縁膜12/半導体基板11に形成する際のエッチングは、異方性プラズマエッチング法を用い、トレンチ部15の側壁は略垂直となるようにする。

【0020】次に、図1(b)に示すように、トレンチ部15の半導体基板11表面と絶縁膜との界面を安定化してソース・ドレイン等のリーク電流を抑えるための第1の絶縁膜、例えば熱酸化法による熱酸化膜16をトレンチ部15の内壁部に膜厚約10nm程度形成する。なおこの際に、ポリシリコン膜14表面にも熱酸化膜17が形成される。その後、第2の絶縁膜、例えば減圧CVD法によるSiN膜30を膜厚約30nm程度堆積する。次に、第3の絶縁膜、例えばECRプラズマCVD装置を用いたプラズマCVD法によるCVDSiO<sub>2</sub>膜18を膜厚約800nm程度堆積し、トレンチ15部をCVDSiO<sub>2</sub>膜18で充填する。

【0021】次に、図1(c)に示すように、CVDSiO<sub>2</sub>膜18等を、例えばCMP法等を用いて研磨し、平坦化する。この際、CMP法による研磨は、ポリシリコン膜14が研磨されて、研磨ストップ膜であるSiN膜13に達する時点で終了させる。上述したCMP法による研磨を行うことで、SiN膜13表面位置より下方のトレンチ部15にCVDSiO<sub>2</sub>膜18が埋め込まれる。

【0022】次に、図2(d)に示すように、ウェットエッチング法により、SiN膜13およびSiN膜30の上端をエッチングする。このエッチングにおいては、パッド絶縁膜12上のSiN膜13が除去された時点でエッチングを終了させるので、トレンチ部15のSiN膜30の上端位置は、ほぼパッド絶縁膜12の表面位置となる。上述したSiN膜13およびSiN膜30のエッチングにより、トレンチ部15に充填されていたCVDSiO<sub>2</sub>膜18の表面位置は、SiN膜13の膜厚とパッド絶縁膜12の膜厚の和に略等しい距離だけ、半導体基板11表面位置より上方に位置する。また、この半導体基板11表面位置より上方にあるCVDSiO<sub>2</sub>膜18の側壁は、略垂直の側壁を持って形成されたトレンチ部15の側壁に対応した状態で形成されるために、略垂直となる。

【0023】次に、例えばSiN膜をプラズマCVD法で膜厚約70nm程度堆積し、このSiN膜をエッチバックして、CVDSiO<sub>2</sub>膜18側壁にサイドウォール絶縁膜31を形成する。上述したエッチングにより、サイドウォール絶縁膜31の底部の幅は、約40nm程度となつて、サイドウォール絶縁膜31の底部の端部は、半導体基板11の素子領域、即ちMOSTランジスタ部1のチャネル領域に達する程度となっている。

【0024】次に、図2(e)に示すように、ウェットエッチング法によりパッド絶縁膜12を除去する。次

8

に、後述するMOSTランジスタ部1のゲート酸化膜を形成するための、洗浄処理工程を行う。なお、この洗浄処理工程においては、通常酸化膜がエッチングされるフッ素系溶液による処理も含まれている。上述したパッド絶縁膜12のウェットエッチング工程と洗浄処理工程を行うことで、トレンチ部15のCVDSiO<sub>2</sub>膜18もエッチングされ、CVDSiO<sub>2</sub>膜18の上面位置は低下し、図2(e)に示すような状態となる。しかし、半導体基板11に形成されたトレンチ部15側壁の上部は、サイドウォール絶縁膜31で保護された状態となっているので、従来例(図6(d)参照)のような、トレンチ部15側壁上部の半導体基板11表面が露呈した状態とはならない。

【0025】次に、図2(f)に示すように、熱酸化法又は高温CVD法等により、膜厚約8nm程度のゲート酸化膜19を形成し、その後、後述するポリシリコンゲート電極20とするポリシリコン膜を減圧CVD法で膜厚約300nm程度堆積し、続いて不純物をポリシリコン膜に拡散してポリシリコン膜を低抵抗化し、その後CVD法によりCVDSiO<sub>2</sub>膜を膜厚約400nm程度堆積する。次に、フォトリソグラフィ技術を用いて、CVDSiO<sub>2</sub>膜/ポリシリコン膜/ゲート酸化膜19をパターンニングして、ゲート酸化膜19とポリシリコンゲート電極20とポリシリコンゲート電極20上のCVDSiO<sub>2</sub>膜21による、MOSTランジスタ部1のゲート電極部3を形成する。

【0026】その後は、図面は省略するが、常法に準ずる製法により、LDD(Lightly Doped Drain)形成、サイドウォール絶縁膜形成、ソース・ドレイン形成、層間絶縁膜形成、コンタクトホール形成、配線形成、パッシベーション膜形成等を行って、半導体装置を作製する。

【0027】上述したトレンチ型の素子分離領域を有する高集積化した半導体装置およびその製造方法においては、MOSTランジスタ部1のゲート酸化膜19やポリシリコンゲート電極20が、従来例(図7参照)に示すような半導体基板11に形成されたトレンチ側壁の上部にも回り込んだ状態にはならず、MOSTランジスタのチャネル幅のほぼ全体において、素子分離領域の半導体基板11表面と平行した状態となっている。従って、MOSTランジスタのチャネル幅の増加や、MOSTランジスタのチャネル幅方向のチャネル端部における電界の増加等による、MOSTランジスタ特性の逆狭チャネル幅効果に起因したしきい値電圧の低下やキック現象による異常特性が防止できる。また、トレンチ部15にCVDSiO<sub>2</sub>膜18を充填する前に、SiN膜30を堆積することで、CVDSiO<sub>2</sub>膜18の側壁に形成するサイドウォール絶縁膜31の底部の端部を、MOSTランジスタが形成される素子領域に僅かに達する程度とすることができ、MOSTランジスタのチャネル幅を、ほぼ



(6)

9

設計通りに形成することができる。

#### 【0028】実施の形態例2

本実施の形態例は、トレンチ型の素子分離領域を有する高集積化した半導体装置およびその製造方法に本発明を適用した例であり、これを図3および図4を参照して説明する。ここで、図3および図4は、半導体装置のMOSトランジスタ部1における、MOSトランジスタのチャンネル幅方向の概略断面図を示すものである。まず、図3(a)に示すように、実施の形態例1と同様にして、半導体基板11上にパッド絶縁膜12、SiN膜13、ポリシリコン膜14を形成し、その後フォトリソグラフィ技術を用いた、MOSトランジスタ部1の素子分離領域2のポリシリコン膜14/SiN膜13/パッド絶縁膜12のパターニングと、半導体基板11のエッチングとでトレンチ部15を形成する。なお、このトレンチ部15をポリシリコン膜14/SiN膜13/パッド絶縁膜12/半導体基板11に形成する際のエッチングは、異方性プラズマエッチング法を用い、トレンチ部15の側壁は略垂直となるようにする。

【0029】次に、図3(b)に示すように、トレンチ部15の半導体基板11表面と絶縁膜との界面を安定化してソース・ドレイン等のリーク電流を抑えるための絶縁膜、例えば熱酸化法による熱酸化膜16をトレンチ部15の内壁部に膜厚約10nm程度形成する。なおこの際に、ポリシリコン膜14表面にも熱酸化膜17も形成される。次に、絶縁膜、例えばECRプラズマCVD装置を用いたプラズマCVD法によるCVDSiO<sub>2</sub>膜18を膜厚約500nm程度堆積し、トレンチ部15をCVDSiO<sub>2</sub>膜18で充填する。なお、上述した熱酸化法による熱酸化膜16を用いずに、その後のトレンチ部15に充填するプラズマCVD法によるCVDSiO<sub>2</sub>膜18の代わりに、半導体基板11表面と絶縁膜との界面安定性の良い、高温CVD法による高温酸化膜を、直接トレンチ部15に充填する方法を採ってもよい。

【0030】次に、図3(c)に示すように、CVDSiO<sub>2</sub>膜18等を、例えばCMP法等を用いて研磨し、平坦化する。この際、CMP法による研磨は、ポリシリコン膜14が研磨されて、研磨ストッパ膜であるSiN膜13に達する時点で終了させる。上述したCMP法による研磨を行うことで、SiN膜13表面位置より下方のトレンチ部15にCVDSiO<sub>2</sub>膜18が埋め込まれる。

【0031】次に、図4(d)に示すように、ウェットエッチング法により、SiN膜13をエッチングする。上述したSiN膜13のエッチングにより、トレンチ部15に充填されていたCVDSiO<sub>2</sub>膜18の表面位置は、SiN膜13の膜厚とパッド絶縁膜12の膜厚の和に略等しい距離だけ、半導体基板11表面位置より上方に位置する。また、この半導体基板11表面位置より上方にあるCVDSiO<sub>2</sub>膜18の側壁は、略垂直の側壁

10

を持って形成されたトレンチ部15の側壁に対応した状態で形成されるために、略垂直となる。

【0032】次に、例えばSiN膜をプラズマCVD法で膜厚約70nm程度堆積し、このSiN膜をエッチバックして、CVDSiO<sub>2</sub>膜18側壁にサイドウォール絶縁膜40を形成する。上述したサイドウォール絶縁膜40の底部の幅は、約40nm程度となっており、サイドウォール絶縁膜40の底部の端部は、半導体基板11の素子領域、即ちMOSトランジスタ部1のチャンネル領域に僅かに入る状態、この実施の形態例において約35nm程度入る状態となる。

【0033】次に、図4(e)に示すように、ウェットエッチング法によりパッド絶縁膜12を除去する。次に、後述するMOSトランジスタ部1のゲート酸化膜を形成するための、洗浄処理工程を行う。なお、この洗浄処理工程においては、通常酸化膜がエッチングされるフッ素系溶液による処理も含まれている。上述したパッド絶縁膜12のウェットエッチング工程と洗浄処理工程を行うことで、トレンチ部15のCVDSiO<sub>2</sub>膜18もエッチングされ、CVDSiO<sub>2</sub>膜18の上面位置は低下し、図4(e)に示すような状態となる。しかし、半導体基板11に形成されたトレンチ部15側壁の上部は、サイドウォール絶縁膜40で保護された状態となっているので、従来例(図6(d)参照)のような、トレンチ部15側壁上部の半導体基板11表面が露呈した状態とはならない。

【0034】次に、図4(f)に示すように、実施の形態例1と同様にして、ゲート酸化膜19を形成し、その後、後述するポリシリコンゲート電極20とするポリシリコン膜を堆積し、続いて不純物をポリシリコン膜に拡散してポリシリコン膜を低抵抗化し、その後CVDSiO<sub>2</sub>膜21を堆積する。次に、フォトリソグラフィ技術を用いて、CVDSiO<sub>2</sub>膜/ポリシリコン膜/ゲート酸化膜19をパターニングして、ゲート酸化膜19とポリシリコンゲート電極20とポリシリコンゲート電極20上のCVDSiO<sub>2</sub>膜21とによる、MOSトランジスタ部1のゲート電極部3を形成する。

【0035】その後は、図面は省略するが、常法に準ずる製法により、LDD(Lightly Doped Drain)形成、サイドウォール絶縁膜形成、ソース・ドレイン形成、層間絶縁膜形成、コンタクトホール形成、配線形成、パッシベーション膜形成等を行って、半導体装置を作製する。

【0036】上述したトレンチ型の素子分離領域を有する高集積化した半導体装置およびその製造方法においては、MOSトランジスタ部1のゲート酸化膜19やポリシリコンゲート電極20が、従来例(図7参照)に示すような半導体基板11に形成されたトレンチ側壁の上部にも回り込んだ状態にはならず、MOSトランジスタのチャンネル幅のほぼ全体において、素子分離領域の半導体

(7)

11

基板11表面と平行した状態となっている。従って、MOSトランジスタのチャネル幅の増加や、MOSトランジスタのチャネル幅方向のチャネル端部における電界の増加等による、MOSトランジスタ特性の逆狭チャネル幅効果に起因したしきい値電圧の低下やキンク現象による異常特性が防止できる。

【0037】以上、本発明を2例の実施の形態例により説明したが、本発明はこの実施の形態例に何ら限定されるものではない。例えば、本発明の実施の形態例1では、トレンチ部に充填する第3の絶縁膜をプラズマCVD法によるCVDSiO<sub>2</sub>膜として説明したが、熱CVD法や光CVD法等によるCVDSiO<sub>2</sub>膜でもよい。また、本発明の実施の形態例1および実施の形態例2では、プラズマCVD法によるSiN膜のエッチバックでサイドウォール絶縁膜を形成するとして説明したが、熱CVD法や光CVD法等によるSiN膜のエッチバックでサイドウォール絶縁膜を形成してもよい。更に、本発明の実施の形態例では、ゲート電極をポリシリコン膜を用いたポリシリコンゲート電極として説明したが、ポリシリコン膜と高融点金属シリサイド膜とによるポリサイドゲート電極等であってもよい。その他、本発明の技術的思想の範囲内で、プロセス装置やプロセス条件は適宜変更が可能である。

【0038】

【発明の効果】以上の説明から明らかなように、本発明の半導体装置およびその製造方法は、半導体基板に形成されたトレンチ側壁の上部の絶縁膜が除去され、MOSトランジスタのチャネル幅方向のゲート酸化膜とゲート電極がトレンチ側壁の上部にまで形成される状態を防止することができ、逆狭チャネル効果やキンク現象等によるMOSトランジスタの異常特性の発生を抑制することができる。従って、所期の特性を有するMOSトランジスタを構成素子として含む、高集積化した半導体装置の作製が可能となる。

【図面の簡単な説明】

【図1】本発明を適用した実施の形態例1の工程の前半を工程順に説明する、半導体装置のMOSトランジスタ部の概略断面図で、(a)はトレンチ部を形成した状態、(b)はSiN膜を堆積した後に、CVDSiO<sub>2</sub>膜を堆積した状態、(c)はCVDSiO<sub>2</sub>膜の上面がSiN膜の上面位置になるまでCVDSiO<sub>2</sub>膜を研磨した状態である。

【図2】本発明を適用した実施の形態例1の工程の後半を工程順に説明する、半導体装置のMOSトランジスタ

12

部の概略断面図で、(d)はSiN膜を堆積した後、エッチバックしてCVDSiO<sub>2</sub>膜の側壁にサイドウォール絶縁膜を形成した状態、(e)はパッド絶縁膜をウェットエッチングし、その後ゲート酸化膜形成のための洗浄処理をした状態、(f)はCVDSiO<sub>2</sub>膜、ポリシリコン膜およびゲート酸化膜をパターニングしてゲート電極部を形成した状態である。

【図3】本発明を適用した実施の形態例2の工程の前半を工程順に説明する、半導体装置のMOSトランジスタ部の概略断面図で、(a)はトレンチ部を形成した状態、(b)はCVDSiO<sub>2</sub>膜を堆積した状態、(c)はCVDSiO<sub>2</sub>膜の上面がSiN膜の上面位置になるまでCVDSiO<sub>2</sub>膜を研磨した状態である。

【図4】本発明を適用した実施の形態例1の工程の後半を工程順に説明する、半導体装置のMOSトランジスタ部の概略断面図で、(d)はSiN膜を堆積した後、エッチバックしてCVDSiO<sub>2</sub>膜の側壁にサイドウォール絶縁膜を形成した状態、(e)はパッド絶縁膜をウェットエッチングし、その後ゲート酸化膜形成のための洗浄処理をした状態、(f)はCVDSiO<sub>2</sub>膜、ポリシリコン膜およびゲート酸化膜をパターニングしてゲート電極部を形成した状態である。

【図5】従来の半導体装置の製造方法の工程の前半を工程順に説明する、半導体装置のMOSトランジスタ部の概略断面図で、(a)はトレンチ部を形成した状態、(b)はCVDSiO<sub>2</sub>膜を堆積した状態、(c)はCVDSiO<sub>2</sub>膜の上面がSiN膜の上面位置になるまでCVDSiO<sub>2</sub>膜を研磨した状態である。

【図6】従来の半導体装置の製造方法の工程の後半を工程順に説明する、半導体装置のMOSトランジスタ部の概略断面図で、(d)はパッド絶縁膜をウェットエッチングし、その後ゲート酸化膜形成のための洗浄処理をした状態、(e)はCVDSiO<sub>2</sub>膜、ポリシリコン膜およびゲート酸化膜をパターニングしてゲート電極部を形成した状態である。

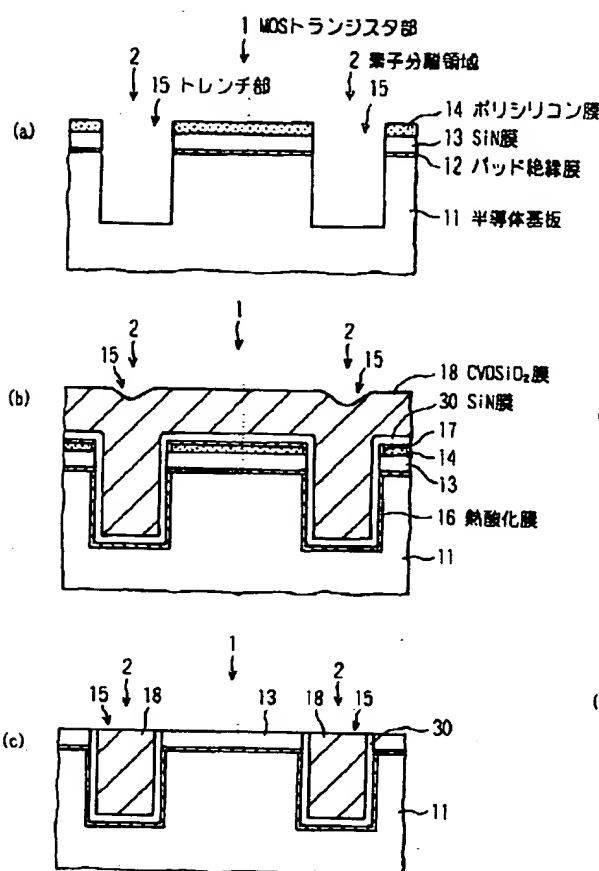
【図7】図6(e)のQ部を拡大した図である。

【符号の説明】

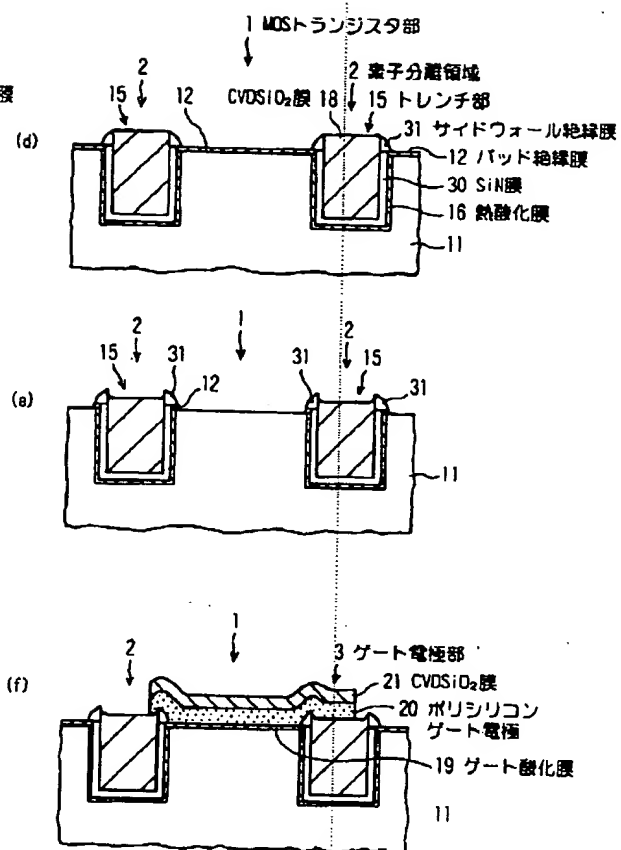
1…MOSトランジスタ部、2…素子分離領域、3…ゲート電極部、11…半導体基板、12…パッド絶縁膜、13, 30…SiN膜、14…ポリシリコン膜、15…トレンチ部、16, 17…熱酸化膜、18, 21…CVDSiO<sub>2</sub>膜、19…ゲート酸化膜、20…ポリシリコンゲート電極、31, 40…サイドウォール絶縁膜

(8)

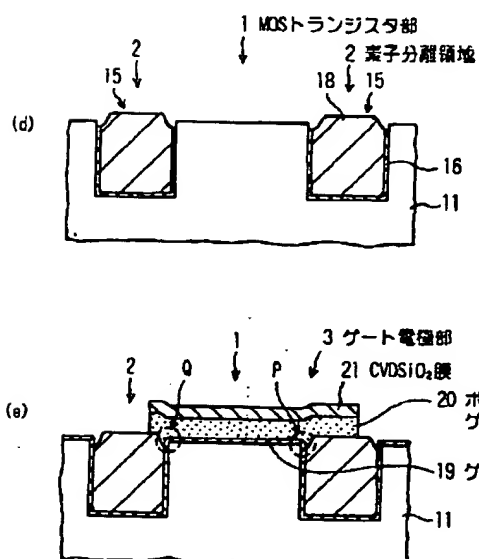
【図1】



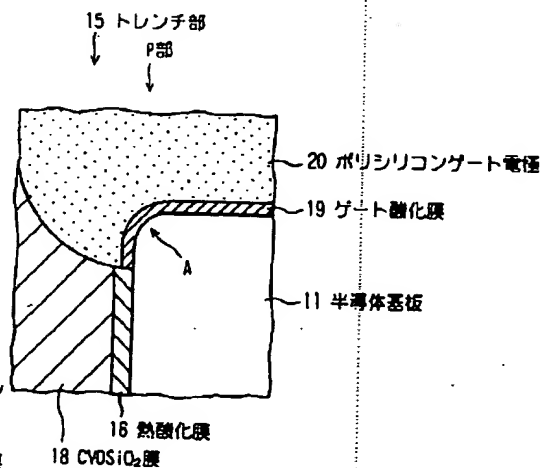
【図2】



【図6】

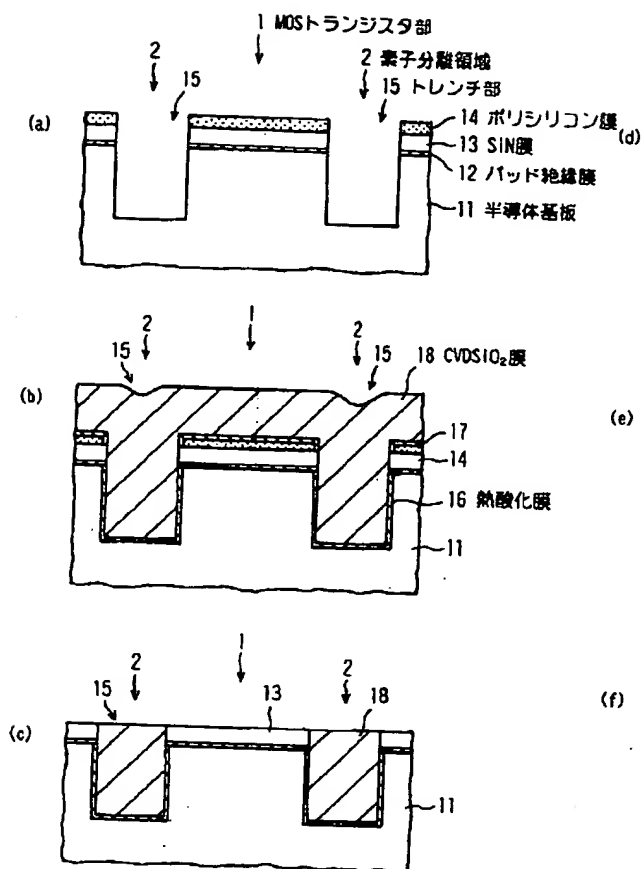


【図7】

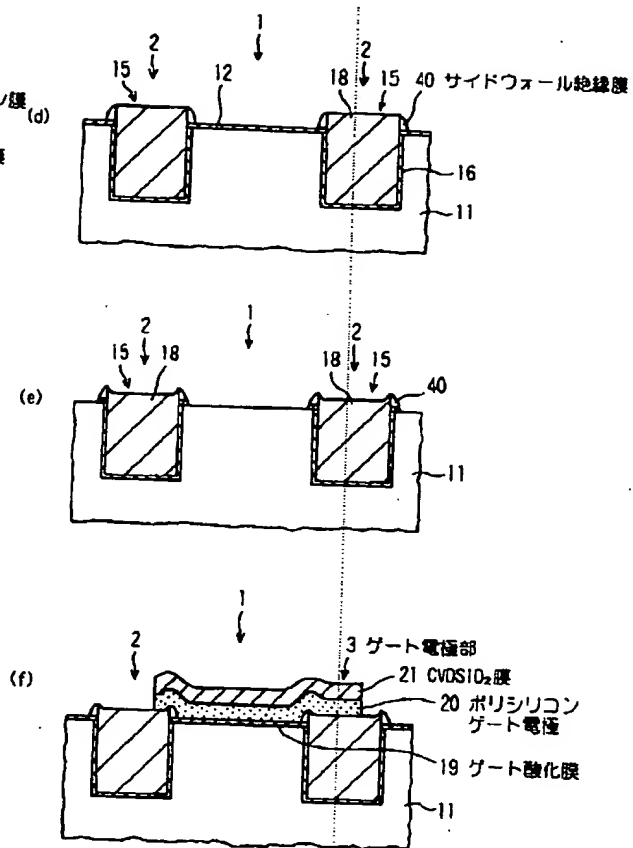


(9)

【図3】



【図4】



(10)

【図 5】

